

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-367364

(P2002-367364A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 11/14

G 1 1 C 11/14

Z

A

11/15

11/15

H 0 1 L 43/08

H 0 1 L 43/08

Z

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号

特願2001-170765(P2001-170765)

(22) 出願日

平成13年6月6日(2001. 6. 6)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 山田 光一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100104433

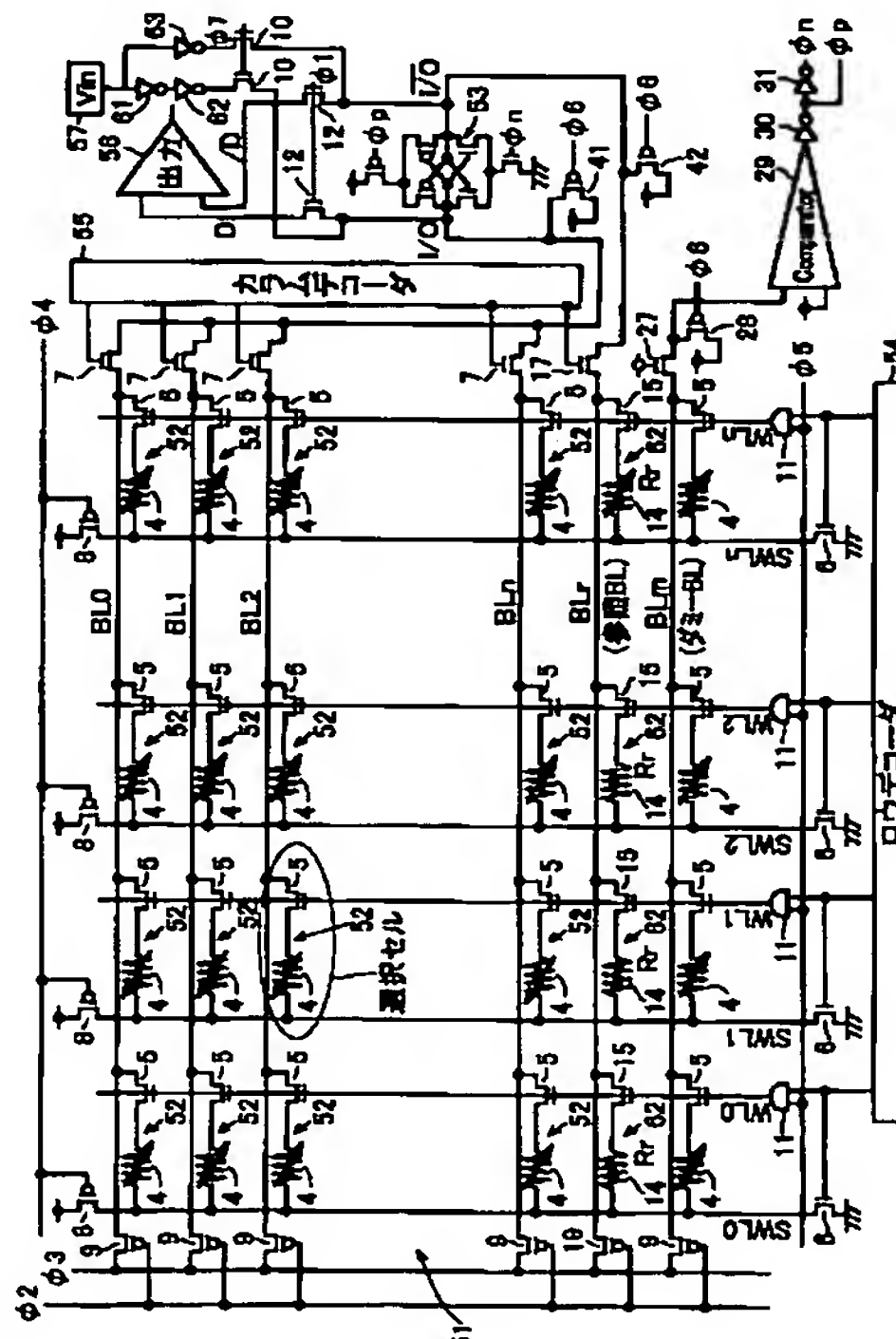
弁理士 宮園 博一

(54) 【発明の名称】 磁気メモリ装置

(57) 【要約】

【課題】増幅器(センスアンプ)の構成が複雑になるのを防止するとともに、高速な読み出しが可能な磁気メモリ装置を提供する。

【解決手段】1つのTMR素子4と、1つのNMOSトランジスタ5とからなるメモリセル52と、NMOSトランジスタ5のゲートに接続されたワード線WLと、NMOSトランジスタ5を介してTMR素子4に接続されたビット線BLと、NMOSトランジスタ15を介して抵抗素子14に接続された参照ビット線BLrと、ビット線BLと参照ビット線BLrとに接続されたセンスアンプ53とを備えている。そして、データの読み出し時に、ビット線BLと参照ビット線BLrとの間に生じた電位差をセンスアンプ53を用いて読み出す。



【特許請求の範囲】

【請求項 1】 強磁性トンネル効果を示す 1 つの記憶素子と、前記記憶素子に接続される 1 つのトランジスタとからなるメモリセルと、前記トランジスタの制御端子に接続されたワード線と、前記トランジスタを介して前記記憶素子の一方端に接続されたビット線と、複数の前記ビット線に対して共通に設けられた参照ビット線と、前記ビット線と前記参照ビット線とに接続された増幅器とを備え、データの読み出し時に、前記ビット線と前記参照ビット線との間に生じた電位差を前記増幅器を用いて読み出す、磁気メモリ装置。

【請求項 2】 前記記憶素子の他方端に接続され、前記ワード線への信号の立ち上げタイミングに応じて、前記記憶素子の他方端の電位を接地電位に引き下げるための補助ワード線をさらに備え、前記補助ワード線を接地電位に立ち下げる過渡的なタイミングで、前記ビット線と前記参照ビット線との間に生じた電位差を前記増幅器を用いて読み出す、請求項 1 に記載の磁気メモリ装置。

【請求項 3】 前記補助ワード線を接地電位に立ち下げる過渡的なタイミングは、前記ビット線の電位と前記参照ビット線の電位とが接地電位になる前である、請求項 2 に記載の磁気メモリ装置。

【請求項 4】 前記増幅器は、複数の前記ビット線に対して共通に設けられている、請求項 1 ～ 3 のいずれか 1 項に記載の磁気メモリ装置。

【請求項 5】 前記強磁性トンネル効果を示す 1 つの記憶素子は、第 1 磁性層と、前記第 1 磁性層に絶縁障壁層を介して対向配置され、前記第 1 磁性層よりも反転しにくい第 2 磁性層とを含む、請求項 1 ～ 4 のいずれか 1 項に記載の磁気メモリ装置。

【請求項 6】 前記参照ビット線は、前記ワード線毎に設けられた参照メモリセルを含み、前記参照メモリセルは、1 つの第 1 抵抗素子と前記第 1 抵抗素子に接続される 1 つのトランジスタとを含む、請求項 1 ～ 5 のいずれか 1 項に記載の磁気メモリ装置。

【請求項 7】 前記参照メモリセルの第 1 抵抗素子は、前記記憶素子の磁化の向きが平行の時の抵抗値と反平行の時の抵抗値との中間の抵抗値を有する、請求項 6 に記載の磁気メモリ装置。

【請求項 8】 前記参照メモリセルの第 1 抵抗素子は、前記記憶素子の磁化の向きが平行の時の抵抗値を有する強磁性トンネル効果を示す 2 つの第 2 抵抗素子と、前記記憶素子の磁化の向きが反平行の時の抵抗値を有する強磁性トンネル効果を示す 2 つの第 3 抵抗素子とを含み、前記第 2 抵抗素子と前記第 3 抵抗素子とは、それぞれ、直列に接続されるとともに、前記直列に接続された 2 組

の第 2 抵抗素子および第 3 抵抗素子が、並列に接続されている、請求項 7 に記載の磁気メモリ装置。

【請求項 9】 前記参照メモリセルの第 1 抵抗素子は、前記記憶素子の磁化の向きが平行の時の抵抗値のほぼ $1/2$ の抵抗値を有する強磁性トンネル効果を示す 1 つの第 2 抵抗素子と、前記記憶素子の磁化の向きが反平行の時の抵抗値のほぼ $1/2$ の抵抗値を有する強磁性トンネル効果を示す 1 つの第 3 抵抗素子とを含み、前記第 2 抵抗素子と前記第 3 抵抗素子とは、直列に接続されている、請求項 7 に記載の磁気メモリ装置。

【請求項 10】 前記参照メモリセルの第 1 抵抗素子は、前記記憶素子の磁化の向きが平行の時の抵抗値および反平行の時の抵抗値のいずれかと実質的に同じ抵抗値を有する、請求項 6 に記載の磁気メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、磁気メモリ装置に関し、より特定的には、強磁性トンネル効果を示す記憶素子を含む磁気メモリ装置に関する。

【0002】

【従来の技術】従来、磁気を利用してデータを記録する不揮発性メモリである MRAM (M a g n e t i c R a n d o m A c c e s s M e m o r y) が知られている。この MRAM については、N I K K E I E L E C T R O N I C S 1999. 11. 15 (n o. 757) p p. 49-56 などに詳しく開示されている。

【0003】図 9 および図 10 は、上記した文献に開示された MRAM の記憶素子の構造を説明するための概略図である。図 9 を参照して、従来の MRAM の記憶素子 110 は、強磁性層 101 と、強磁性層 103 と、強磁性層 101 と 103 との間に配置された非磁性層 102 とを備えている。

【0004】強磁性層 101 は、強磁性層 103 よりも反転しにくい。ここで、強磁性とは、磁性原子または金属の自由原子が、正の交換相互作用によって磁気モーメントを平行に整列させて自発磁化を形成している場合の磁性をいい、この強磁性を示す物質を強磁性体という。強磁性層 101 および 103 は、この強磁性体からなる。また、従来、非磁性層 102 として金属を用いる GMR (G i a n t M a g n e t o r e s i s t a n c e) 膜が用いられている。近年では、非磁性層 102 として絶縁体を用いる TMR (T u n n e l i n g M a g n e t o R e s i s t a n c e) 膜が開発されている。この TMR 膜は、GMR 膜よりも抵抗が大きいという利点を有する。具体的には、GMR 膜の MR 比 (抵抗変化率) は 10 % 台であるのに対し、TMR 膜の MR 比 (抵抗変化率) は 20 % 以上である。なお、この TMR 膜からなる記憶素子 110 を、以下、TMR 素子 110 という。

【0005】次に、図 9 および図 10 を参照して、従来

3

のTMR素子110を用いたMRAMの記憶原理について説明する。まず、図9に示すように、2つの強磁性層101および103の磁化が同じ向き（平行）の状態をデータ“0”に対応させる。また、図10に示すように、2つの強磁性層101および103の磁化が逆向き（反平行）の状態をデータ“1”に対応させる。ここで、TMR素子110は、磁化の向きが平行の時、抵抗（ R_0 ）が小さく、反平行の時、抵抗（ R_1 ）が大きいという性質を有する。この磁化方向が平行か反平行かによりTMR素子110の抵抗が異なる性質を利用して、“0”か“1”かを判別する。

【0006】図11は、従来の1つのTMR素子と1つのトランジスタとによってメモリセルを構成した場合のMRAMの全体構成を示したブロック図である。図11を参照して、従来のMRAM150の構成について以下に説明する。

【0007】メモリセルアレイ151は、複数のメモリセル120がマトリクス状に配置されて構成されている（図11では図面を簡略化するために、4個のメモリセル120のみを示している）。1つのメモリセル120は、1つのTMR素子110と、1つのNMOSTランジスタ111とから構成されている。

【0008】行（ロウ）方向に配列された各メモリセル120において、NMOSTランジスタ111のゲートは、共通の読み出し用ワード線 $RWL_a \sim RWL_n$ に接続されている。また、行（ロウ）方向に配列された各メモリセル120において、TMR素子110の一方の強磁性層上には、書き換え用ワード線 $WWL_a \sim WWL_n$ が配置されている。

【0009】列（カラム）方向に配列された各メモリセル120において、TMR素子110の一方の強磁性層は、共通のビット線 $BL_a \sim BL_n$ に接続されている。

【0010】各読み出し用ワード線 $RWL_a \sim RWL_n$ は、ロウデコーダ152に接続され、各ビット線 $BL_a \sim BL_n$ は、カラムデコーダ153に接続されている。

【0011】外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン154に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン154からアドレスラッチ155へ転送される。アドレスラッチ155でラッチされた各アドレスのうち、ロウアドレスはアドレスバッファ156を介してロウデコーダ152へ転送され、カラムアドレスはアドレスバッファ156を介してカラムデコーダ153へ転送される。

【0012】ロウデコーダ152は、各読み出し用ワード線 $RWL_a \sim RWL_n$ のうち、アドレスラッチ155でラッチされたロウアドレスに対応した読み出し用ワード線 RWL を選択するとともに、各書き換え用ワード線 $WWL_a \sim WWL_n$ のうち、アドレスラッチ155でラッチされたロウアドレスに対応した書き換え用ワード線 WWL を選択する。また、ロウデコーダ152は、電圧制御

4

回路157からの信号に基づいて、各読み出し用ワード線 $RWL_a \sim RWL_n$ の電位と、各書き換え用ワード線 $WWL_a \sim WWL_n$ の電位を制御する。

【0013】カラムデコーダ153は各ビット線 $BL_a \sim BL_n$ のうち、アドレスラッチ155でラッチされたカラムアドレスに対応したビット線 BL を選択するとともに、電圧制御回路158からの信号に基づいて、各ビット線 $BL_a \sim BL_n$ の電位を制御する。

【0014】外部から指定されたデータは、データピン159に入力される。そのデータはデータピン159から入力バッファ160を介してカラムデコーダ153へ転送される。カラムデコーダ153は、各ビット線 $BL_a \sim BL_n$ の電位を、そのデータに対応して制御する。

【0015】任意のメモリセル120から読み出されたデータは、各ビット線 $BL_a \sim BL_n$ からカラムデコーダ153を介してセンスアンプ群161へ転送される。センスアンプ群161は電流センスアンプである。センスアンプ群161で判別されたデータは、出力バッファ162からデータピン159を介して外部へ出力される。

【0016】なお、上記した各回路（152～162）の動作は、制御コア回路163によって制御される。

【0017】次に、上記のように構成された従来のMRAM150の書き込み（書き換え）動作および読み出し動作について説明する。

【0018】（書き込み動作）この書き込み動作の際には、選択された書き換え用ワード線 WWL とビット線 BL とに、直交する電流を流す。これにより、そのビット線 BL と書き換え用ワード線 WWL との交点にあるTMR素子110のみを書き換えることが可能である。具体的には、書き換え用ワード線 WWL とビット線 BL とに流れる各電流が磁界を発生し、2つの磁界の和（合成磁界）がTMR素子110に働く。この合成磁界によってTMR素子110の磁化の向きが反転し、たとえば、“1”から“0”へと変わる。

【0019】なお、交点以外のTMR素子110には、電流が全く流れないものと、一方向のみ電流が流れるものがある。電流が流れないTMR素子110では、磁界は生じないので磁化の向きは変わらない。一方向の電流のみ流れるTMR素子110では、磁界は発生するが、その大きさは磁化の反転に不十分である。このため、一方向の電流のみ流れるTMR素子110では、磁化の向きは変わらない。

【0020】上記のように、選択されたアドレスに対応するビット線 BL と書き換え用ワード線 WWL とに電流を流すことによって、その選択されたビット線 BL と書き換え用ワード線 WWL との交点に位置するTMR素子110の磁化の向きを、図9または図10に示した向きに書き込むことが可能である。これにより、データ“0”または“1”の書き込みが可能となる。

【0021】（読み出し動作）上記のように書き込んだ

10

20

30

40

50

5

データを読み出す際には、読み出し用ワード線RWLに電圧を加えてNMOSトランジスタ111を導通させる。この状態で、ビット線BLに流れる電流値がリファレンスの電流値より多いか少ないかを判別することによって、“1”、“0”の判定を行う。

【0022】この場合、図9に示したデータ“0”の場合は、磁化の向きが平行であるので、抵抗値(R_0)が小さい。このため、ビット線BLに流れる電流値は、リファレンスの電流値より大きい。これに対して、図10に示すデータ“1”の場合には、磁化の向きが反平行であるので、抵抗値(R_1)は、図9に示した場合よりも大きくなる。このため、ビット線BLに流れる電流値は、リファレンスの電流値よりも少なくなる。

【0023】

【発明が解決しようとする課題】上記した従来のMRAM150では、データの読み出しの際に、ビット線の電位を微少な電位(0.4V以下)にして電流値を検出する必要がある。これは、TMR素子110は、そのTMR素子110の両端に印加する電位差が微少でないと抵抗変化が確認できないという特性を有するためである。このため、TMR素子110の両端に印加する電位差を微少(0.4V以下)にする必要があり、その結果、流れる電流値も微少になる。従来では、このような微少な電流値を検出するために、センスアンプ(増幅器)の構成が複雑になるという不都合があった。また、微少な電流値を検出しようとする、読み出しスピードが遅くなるという問題点もあった。

【0024】この発明は、上記のような課題を解決するためになされたものであり、この発明の一つの目的は、センスアンプ(増幅器)の構成が複雑になることのない磁気メモリ装置を提供することである。

【0025】この発明のもう一つの目的は、微少な電流値を検出してデータの判別を行う場合に比べて、読み出し速度を向上することが可能な磁気メモリ装置を提供することである。

【0026】

【課題を解決するための手段】請求項1における磁気メモリ装置は、強磁性トンネル効果を示す1つの記憶素子と、記憶素子に接続される1つのトランジスタとからなるメモリセルと、トランジスタの制御端子に接続されたワード線と、トランジスタを介して記憶素子の一方端に接続されたビット線と、複数のビット線に対して共通に設けられた参照ビット線と、ビット線と参照ビット線とに接続された増幅器とを備え、データの読み出し時に、ビット線と参照ビット線との間に生じた電位差を増幅器を用いて読み出す。

【0027】請求項1では、上記のように、強磁性トンネル効果を示す1つの記憶素子と1つのトランジスタとによりメモリセルを構成するとともに、記憶素子に接続されるビット線と参照ビット線との電位差を増幅器によ

6

り検出することによって、容易にデータの読み出しを行うことができる。これにより、従来のようにビット線に流れる微少な電流値を検出する必要がないので、増幅器の構成が複雑になることもない。また、ビット線と参照ビット線との間に生じた電位差を増幅器を用いて読み出すことによって、従来のビット線に流れる微少な電流値を読み出す場合と異なり、記憶素子の抵抗が高い場合にも容易に検出を行うことができる。

【0028】また、請求項1では、上記のように、ビット線と参照ビット線との間の電位差を増幅器により検出するように構成することによって、従来のDRAMに用いる増幅器(センスアンプ)と同様の簡単な増幅器を用いて、磁気メモリ装置に記憶されたデータを読み出すことができる。これにより、従来のように複雑な構成のセンスアンプを用いる必要がないので、高速な読み出しが可能となる。

【0029】請求項2における磁気メモリ装置は、請求項1の構成において、記憶素子の他方端に接続され、ワード線への信号の立ち上げタイミングに応じて、記憶素子の他方端の電位を接地電位に引き下げるための補助ワード線をさらに備え、補助ワード線を接地電位に立ち下げる過渡的なタイミングで、ビット線と参照ビット線との間に生じた電位差を増幅器を用いて読み出す。請求項2では、このように構成することによって、補助ワード線により、容易に、記憶素子の電位を接地電位方向に引き下げることができる。そして、補助ワード線を接地電位に立ち下げる過渡的なタイミングで、ビット線と参照ビット線との間に生じた電位差を増幅器を用いて読み出すことによって、記憶されたデータを容易に検出することができる。

【0030】請求項3における磁気メモリ装置は、請求項2の構成において、補助ワード線を接地電位に立ち下げる過渡的なタイミングは、ビット線の電位と参照ビット線の電位とが接地電位になる前である。請求項3では、このように構成することによって、ビット線と参照ビット線との電位差がなくなるのを防止することができる。すなわち、補助ワード線の電位が接地電位になると、その後すぐに補助ワード線、ビット線および参照ビット線も接地電位になり、電位差がなくなってしまう。請求項3では、ビット線の電位と参照ビット線の電位とが接地電位になる前にビット線と参照ビット線との電位差を増幅器により検出することによって、ビット線と参照ビット線との電位差がなくなる前にその電位差を増幅器により検出することができる。

【0031】請求項4における磁気メモリ装置は、請求項1～3のいずれかの構成において、増幅器は、複数の前記ビット線に対して共通に設けられている。請求項4では、このように構成することによって、各ビット線毎に増幅器を設ける場合に比べて、回路構成を簡略化することができる。

【0032】請求項5における磁気メモリ装置は、請求項1～4のいずれかの構成において、強磁性トンネル効果を示す1つの記憶素子は、第1磁性層と、第1磁性層に絶縁障壁層を介して対向配置され、第1磁性層よりも反転しにくい第2磁性層とを含む。請求項5では、このように構成することによって、データに応じて第1磁性層および第2磁性層の磁化の向きを平行または反平行にすれば、容易にデータを記憶することができる。

【0033】請求項6における磁気メモリ装置は、請求項1～5のいずれかの構成において、参照ビット線は、ワード線毎に設けられた参照メモリセルを含み、参照メモリセルは、1つの第1抵抗素子とその第1抵抗素子に接続される1つのトランジスタとを含む。請求項6では、このように構成することによって、メモリセルを含むビット線と参照メモリセルを含む参照ビット線とを用いて、容易に、ビット線と参照ビット線との電位差を検出することができる。

【0034】請求項7における磁気メモリ装置は、請求項6の構成において、参照メモリセルの第1抵抗素子は、記憶素子の磁化の向きが平行の時の抵抗値および反平行の時の抵抗値との中間の抵抗値を有する。請求項7では、このように構成することによって、ビット線と参照ビット線との間に電位差を発生させることができる。

【0035】請求項8における磁気メモリ装置は、請求項7の構成において、参照メモリセルの第1抵抗素子は、記憶素子の磁化の向きが平行の時の抵抗値を有する強磁性トンネル効果を示す2つの第2抵抗素子と、記憶素子の磁化の向きが反平行の時の抵抗値を有する強磁性トンネル効果を示す2つの第3抵抗素子とを含み、第2抵抗素子と第3抵抗素子とは、それぞれ、直列に接続されるとともに、その直列に接続された2組の第2抵抗素子および第3抵抗素子が、並列に接続されている。請求項8では、このように構成することによって、参照ビット線に接続される参照メモリセルの第1抵抗素子の抵抗値を、ビット線に接続される記憶素子の磁化の向きが平行の時の抵抗値と反平行の時の抵抗値との和の $1/2$ の抵抗値に設定することができる。これにより、ビット線と参照ビット線との間に容易に電位差を発生させることができる。

【0036】請求項9における磁気メモリ装置は、請求項7の構成において、参照メモリセルの第1抵抗素子は、記憶素子の磁化の向きが平行の時の抵抗値のほぼ $1/2$ の抵抗値を有する強磁性トンネル効果を示す1つの第2抵抗素子と、記憶素子の磁化の向きが反平行の時の抵抗値のほぼ $1/2$ の抵抗値を有する強磁性トンネル効果を示す1つの第3抵抗素子とを含み、第2抵抗素子と第3抵抗素子とは、直列に接続されている。請求項9では、このように構成することによって、参照ビット線に接続される参照メモリセルの第1抵抗素子の抵抗値を、ビット線に接続される記憶素子の磁化の向きが平行の時

の抵抗値と反平行の時の抵抗値との和の $1/2$ の抵抗値に設定することができる。これにより、ビット線と参照ビット線との間に容易に電位差を発生させることができる。

【0037】請求項10における磁気メモリ装置は、請求項1～9のいずれかの構成において、参照メモリセルの第1抵抗素子は、記憶素子の磁化の向きが平行の時の抵抗値および反平行の時の抵抗値のいずれかと実質的に同じ抵抗値を有する。請求項10の場合、たとえば、ビット線と参照ビット線との負荷容量を異なるようにすれば、第1抵抗素子の抵抗値が記憶素子の磁化の向きが平行の時の抵抗値および反平行の時の抵抗値のいずれかと実質的に同じ場合にも、ビット線と参照ビット線との電位差が発生するので、容易にデータの判別を行うことができる。

【0038】

【発明の実施の形態】以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0039】（第1実施形態）図1は、本発明の第1実施形態によるMRAMの全体構成を示したブロック図である。図2は、図1に示した第1実施形態によるMRAMの選択されたビット線および参照ビット線の構成を示した回路図である。図3は、図1に示した第1実施形態のMRAMの読み出し動作を説明するための動作波形図である。

【0040】まず、図1および図2を参照して、本発明の第1実施形態のMRAMの全体構成について説明する。第1実施形態のMRAMは、マトリクス状のメモリセルアレイ51を中心に構成されている。メモリセルアレイ51は、行方向と列方向に配列されたメモリセル52から構成されている。メモリセル52は、記憶の最小単位である1ビットのデータが記憶される。

【0041】第1実施形態のMRAMでは、1つのメモリセル52は、1つのTMR素子4と、1つのNMOSトランジスタ5とから構成される。TMR素子4は、図2に示すように、強磁性層3と、絶縁障壁層2と、強磁性層3よりも反転しにくい強磁性層1とを含む。また、1つのNMOSトランジスタ5のゲートには、ワード線WLが接続されている。

【0042】なお、TMR素子4は、本発明の「強磁性トンネル効果を示す記憶素子」の一例である。また、強磁性層3は、本発明の「第1磁性層」の一例であり、強磁性層1は、本発明の「第2磁性層」の一例である。また、NMOSトランジスタ5は、本発明の「トランジスタ」の一例である。また、1つのNMOSトランジスタ5のゲートは、本発明の「制御端子」の一例である。

【0043】メモリセルアレイ51のうち、行方向（図1では横方向）に配列された各メモリセル52は、ワード線WLおよび補助ワード線SWLに接続されている。また、列方向（図1では縦方向）に配列された各メモリ

セル 52 は、ビット線 BL に接続されている。また、複数のビット線 BL に対して共通の参照ビット線 BL_r が設けられている。

【0044】また、ビット線 BL および参照ビット線 BL_r には、共通のクロスカップルラッチ形のセンスアンプ (SA) 53 が接続されている。なお、センスアンプ 53 は、本発明の「増幅器」の一例である。

【0045】参照ビット線 BL_r は、1 つの抵抗素子 14 と 1 つの NMOS トランジスタ 15 とからなる参照メモリセル 62 を、ワード線 WL 毎に含んでいる。なお、抵抗素子 14 は、本発明の「第 1 抵抗素子」の一例である。参照メモリセル 62 の抵抗素子 14 は、磁化方向が平行な時の TMR 素子 4 の抵抗値と、磁化方向が反平行な時の TMR 素子 4 の抵抗値との中間の抵抗値 R_r を有する。

【0046】また、各ワード線 WL は、ロウデコーダ 54 に接続されている。外部からロウアドレス RA が指定されると、そのロウアドレス RA は、ロウアドレスバッファ (図示せず) からロウデコーダ 54 へ与えられる。これにより、ロウデコーダ 54 によって、そのロウアドレス RA に対応するワード線 WL が選択される。

【0047】また、ワード線 WL は、AND 回路 11 の一方入力端子に接続されるとともに、AND 回路 11 の出力端子に接続される。AND 回路 11 の他方入力端子には、書き込み時に、常に、0 (L レベル) となる信号線 Φ5 が接続されている。

【0048】また、補助ワード線 SWL の一方端は、NMOS トランジスタ 6 を介して接地されている。その NMOS トランジスタ 6 のゲートは、AND 回路 11 の一方入力端子に接続されている。補助ワード線 SWL の他方端は、PMOS トランジスタ 8 を介して電源電位 V_{cc} に接続されている。その PMOS トランジスタ 8 のゲートには、信号線 Φ4 が接続されている。

【0049】また、ビット線 BL および参照ビット線 BL_r の一方端には、それぞれ、PMOS トランジスタ 9 および 19 を介して、信号線 Φ3 が接続されている。NMOS トランジスタ 9 および 19 のゲートには、信号線 Φ2 が接続されている。

【0050】ビット線 BL および参照ビット線 BL_r は、それぞれ、トランスファゲート (NMOS トランジスタ) 7 および 17 を介して、I/O 線および /I/O 線に接続されている。I/O 線と /I/O 線とで、入出力線対 I/O、/I/O を構成している。I/O 線、/I/O 線は、センスアンプ 53 に接続されている。そして、出力回路 56 から外部へデータが出力される。

【0051】また、第 1 実施形態では、ビット線 BL と同様の構成を有するダミービット線 BL_m (ダミー BL) を設けている。すなわち、ダミービット線 BL_m には、NMOS トランジスタ 5 を介して TMR 素子 4 が接続されている。このダミービット線 BL_m に接続される

全ての TMR 素子 4 は、2 つの強磁性層の磁化方向が同じ (平行) になるように設定されている。そして、そのダミービット線 BL_m は、NMOS トランジスタ 27 を介して、コンパレータ 29 の一方入力端に接続されている。

【0052】NMOS トランジスタ 27 のゲートには、V_{cc} が接続されている。コンパレータ 29 の他方入力端には、V_{cc} (参照電圧) が接続されている。このコンパレータ 29 の出力には、インバータ 30 が接続されており、インバータ 30 の出力には、インバータ 31 が接続されている。インバータ 30 の出力は、信号 Φ_p として用いられ、インバータ 31 の出力は、信号 Φ_n として用いられる。この信号 Φ_p および Φ_n は、センスアンプ 53 の活性化信号として用いられる。

【0053】なお、コンパレータ 29 では、入力電圧が参照電圧 V_{cc} と同じ V_{cc} である場合には、L レベルの信号が出力されるとともに、入力電圧が参照電圧 V_{cc} よりも低くなると、H レベルの信号が出力される。

【0054】また、コンパレータ 29 の一方入力端子、I/O 線および /I/O 線には、それぞれ、PMOS トランジスタ 28、41 および 42 を介して、電源電位 V_{cc} が接続されている。PMOS トランジスタ 28、41 および 42 のゲートには、信号線 Φ6 が接続されている。これにより、信号線 Φ6 の活性化により、コンパレータ 29 の一方入力端子、I/O 線および /I/O 線が V_{cc} に持ち上げられる。

【0055】また、センスアンプ 53 の入出力ノードは、NMOS トランジスタ 12 を介して、出力回路 56 に接続されている。NMOS トランジスタ 12 のゲートには、信号線 Φ1 が接続されている。また、センスアンプ 53 の入出力ノードは、NMOS トランジスタ 10 を介して、入力回路 57 に接続されている。NMOS トランジスタ 10 のゲートには、信号線 Φ7 が接続されている。入力回路 57 と NMOS トランジスタ 10 との間には、インバータ 61、62 および 63 が接続されている。

【0056】トランスファゲート 7 および 17 のゲートは、カラムデコーダ 55 に接続されている。外部からカラムアドレス CA が指定されると、そのカラムアドレス CA は、カラムアドレスバッファ (図示せず) からカラムデコーダ 55 へ与えられる。カラムデコーダ 55 は、外部から指定されたカラムアドレス CA に対応するメモリセルアレイ 51 の列 (1 本のビット線 BL および参照ビット線 BL_r) を選択する。

【0057】次に、上記のように構成された第 1 実施形態の MRAM の書き込みおよび読み出し動作について説明する。

【0058】(書き込み動作) この書き込み動作では、ワード線 WL1 とビット線 BL2 とに接続されるメモリセル 52 に書き込む場合について説明する。第 1 実施形

10

20

30

40

50

態のMRAMにおいて、データの書き込みを行う場合には、まず、信号線Φ3を1/2Vccにする。そして、カラムデコーダ55によって選択されたビット線BL2のトランスファゲート7がオンされるとともに、信号線Φ7を活性化することによって、入出力回路57からI/O線を経てHレベルの電位(Vcc)が選択されたビット線BL2に供給される。その時、信号線Φ2をLレベルの電位にすることにより、PMOSトランジスタ9をオンさせることによって、選択されたビット線BL2の左端は、1/2Vccとなる。この場合、選択されたビット線BL2の右端は、Vccであるので、ビット線BL2内を電流が右から左に流れて磁界が発生する。

【0059】また、ローデコーダ54により選択されたワード線WL1では、書き込み時には、信号線Φ5が常にLレベルであるので、AND回路11の出力端子に接続される選択されたワード線WL1は、Lレベルのままである。その一方、ワード線WL1の選択によって、NMOSトランジスタ6のゲートがHレベルになるので、NMOSトランジスタ6がオンする。これにより、選択されたワード線WL1に対応する補助ワード線SWL1の下端は、Vss(接地電位)になろうとする。そして、信号線Φ4をLレベルにすることによって、補助ワード線SWL1の上端では、Vcc(電源電位)になろうとする。このため、補助ワード線SWL1には、上から下に電流が流れて磁界が発生する。

【0060】上記のように、選択されたメモリセルにおいて、補助ワード線SWL1に上から下の方向の電流を流すとともに、ビット線BL2に左から右方向の電流を流すことによって、補助ワード線SWL1およびビット線BL2に磁界を発生させることができる。これにより、補助ワード線SWL1とビット線BL2との交点に位置する選択されたメモリセル52のTMR素子4の強磁性層3に、容易にデータ(たとえば、“1”)を書き込むことができる。

【0061】なお、TMR素子4の強磁性層3に、上記とは逆のデータ(たとえば、“0”)を書き込みたい場合には、ビット線BL2に流す電流の向きを逆方向にすれば良い。また、選択されなかったメモリセルにおいて、補助ワード線SWLには電流が流れないので、非選択のメモリセルのデータが書き換わることはない。

【0062】(読み出し動作)次に、図1～図3を参照して、ワード線WL1とビット線BL2とに接続されるメモリセル52が選択された場合の読み出し動作について説明する。

【0063】まず、初期状態としては、信号線Φ3およびΦ6は、Vcc(Hレベル)であり、信号線Φ2、Φ4およびΦ5は、Vss(Lレベル)である。このため、各ビット線BLと、補助ワード線SWLと、I/O線と、/I/O線と、コンパレータ29の一方端子とは、Vcc(Hレベル)になっている。

【0064】その後、活性化信号により、信号線Φ2およびΦ4は、Vcc(Hレベル)となり、各ビット線BLおよび各補助ワード線SWLは、Vcc状態のフローティング状態となる。その後、アドレスがローデコーダ54に入力されるとともに、信号線Φ5がHレベルに活性化されることによって、AND回路11の出力がHレベルになるので、選択されたワード線WL1がHレベルに立ち上がる。また、AND回路11に入力される選択されたワード線WL1がHレベルになることによって、選択されたワード線WL1に対応する補助ワード線SWL1に接続されるNMOSトランジスタ6がオン状態になる。これにより、Vcc状態のフローティング状態となっていた補助ワード線SWL1がVccから徐々に接地電位(Vss)に低下し始める。

【0065】この時、カラムデコーダ55に入力されたアドレスにより、I/O線および/I/O線には、それぞれ、ビット線BL2と参照ビット線BLrとが接続される。この状態で、補助ワード線SWL1が、Vccから接地電位(Vss)に向かって低下し始めると、ビット線BL2および参照ビット線BLrも、Vccから接地電位(Vss)に低下し始める。これにより、センスアンプ53の入力であるI/O線および/I/O線も、Vccから接地電位(Vss)に向かって下がり始める。この場合、図2に示すように、選択されたメモリセル52のTMR素子4は、磁化方向が平行な状態であるので、参照ビット線BLrの抵抗素子14よりも抵抗値が小さい。このため、ビット線BL2に繋がるI/O線および参照ビット線BLrに繋がる/I/O線は、Vccから接地電位(Vss)に向かって下がる速度が異なる。具体的には、I/O線の方が/I/O線よりも速く立ち下がろうとするため、I/O線と/I/O線とは電位差が生じる。

【0066】なお、電位差が発生したことは、ダミービット線BLmおよびコンパレータ29によって検知される。すなわち、ダミービット線BLmに接続されるTMR素子4は、磁化方向が平行な抵抗の低い状態に設定されているので、ダミービット線BLmは、ビット線BL2および参照ビット線BLrのうちの抵抗の低い方(第1実施形態ではビット線BL2)と同じタイミングで電位が下がり始める。このダミービット線BLmおよびコンパレータ29による検知によって、信号ΦpおよびΦnが活性化される。これにより、センスアンプ53が活性化される。そして、活性化されたセンスアンプ53を用いて、I/O線と/I/O線とに生じた電位差を増幅することによって、I/O線がLレベルになるとともに、/I/O線がHレベルになる。

【0067】この状態で、信号線Φ1をHレベルにすることによって、NMOSトランジスタ12をオンさせる。これにより、I/O線のLレベルおよび/I/O線のHレベルを、それぞれ、データ線Dおよび/Dに転送

10

20

30

40

50

する。そして、それに対応する信号を出力回路 56 から出力する。

【0068】その後、信号線 $\Phi 3$ を、 V_{cc} (Hレベル) にするとともに、信号線 $\Phi 2$ 、 $\Phi 3$ および $\Phi 5$ を V_{ss} (接地電位) にすることによって、ビット線 BL および補助ワード線 SWL を V_{cc} にプリチャージする。これにより、次の読み出しに備える。

【0069】一方、選択されたメモリセルに、磁化方向が反平行の場合のデータが記憶されている場合は、参照ビット線 BL_r に繋がる抵抗素子 14 の抵抗値の方が小さくなるため、上記の場合とは逆に、 I/O 線の方が I/O 線よりも速く立ち下がろうとする。この電位差をセンスアンプ 53 を用いて増幅すれば、 I/O 線が Hレベルで、 I/O 線が Lレベルになる。その後の動作は、上述の場合と同様に行われ、次のアドレスに備える状態となる。

【0070】なお、 I/O 線と I/O 線との電位差をセンスアンプ 53 により検出するタイミングは、ビット線 BL2 および参照ビット線 BL_r の電位が GND 電位になる前に行く。これは、以下の理由による。すなわち、ビット線 BL2 および参照ビット線 BL_r の電位を GND 電位まで速く引き下げてしまうと、補助ワード線 SWL1 と、ビット線 BL2 および参照ビット線 BL_r との間の電位差が大きくなりすぎて MR 比 (抵抗変化率) がなくなってしまう。その結果、同じスピードでビット線 BL2 および参照ビット線 BL_r がともに GND 電位になってしまう。この場合、ビット線 BL2 と参照ビット線 BL_r との電位差がなくなってしまうので電位差を検出できなくなるからである。

【0071】また、過渡的なタイミングでは、ビット線 BL および参照ビット線 BL_r に電位差が発生するが、TMR 素子 4 および抵抗素子 14 は導体であるので、最終的にはビット線 BL および参照ビット線 BL_r は、同電位になる。

【0072】第 1 実施形態では、上記のように、1 つの TMR 素子 4 と、1 つの NMOS トランジスタ 5 とによって 1 つのメモリセル 52 を構成するとともに、1 つの TMR 素子 4 に接続されるビット線 BL と参照ビット線 BL_r との電位差をセンスアンプ 53 を用いて検出することによって、容易にデータの読み出しを行うことができる。このように、電位差を検出するので、従来の場合のように、ビット線に流れる微少な電流値を検出する必要がない。その結果、微少な電流値を検出するためにセンスアンプの構成が複雑になるという不都合を防止することができる。

【0073】また、第 1 実施形態では、上記のように、ビット線 BL と参照ビット線 BL_r との間の電位差をセンスアンプ 53 により検出するように構成することによって、従来の DRAM に用いるセンスアンプと同様の簡単なセンスアンプ 53 を用いて、MRAM に記憶された

データを読み出すことができる。このように、簡単なセンスアンプ 53 を用いてデータを読み出すことができるので、従来の複雑な構成のセンスアンプを用いる構成に比べて、高速な読み出しが可能となる。

【0074】さらに、第 1 実施形態では、各ビット線に対して共通の 1 つのセンスアンプ 53 を設けることによって、各ビット線 BL 毎にセンスアンプを設ける場合に比べて、回路構成を簡略化することができる。

【0075】(第 2 実施形態) 図 4 は、本発明の第 2 実施形態による MRAM のビット線および参照ビット線の構成を示した回路図であり、図 5 は、図 4 に示した第 2 実施形態による MRAM の参照ビット線に接続される抵抗素子の抵抗値を説明するための概略図である。

【0076】図 4 および図 5 に示すように、この第 2 実施形態では、上記第 1 実施形態と異なり、参照ビット線 BL_r に接続される抵抗素子 24 を、磁化方向が平行な 2 つの TMR 素子 24a および 24c と、磁化方向が反平行な 2 つの TMR 素子 24b および 24d とによって形成している。そして、TMR 素子 24a と TMR 素子 24b とが直列接続されているとともに、TMR 素子 24c と TMR 素子 24d とが直列接続されている。そして、直列接続された TMR 素子 24a および 24b と、直列接続された TMR 素子 24c および 24d とが並列接続されている。

【0077】この第 2 実施形態では、抵抗素子 24 を 4 つの TMR 素子 24a ~ 24d によって構成することにより、図 5 に示すように、抵抗素子 24 の抵抗値 R_r を、磁化方向が平行な場合の TMR 素子 4 の抵抗値 R_0 と磁化方向が反平行な場合の TMR 素子 4 の抵抗値 R_1 との中間 (R_0 と R_1 との和の $1/2$) に設定することができる。

【0078】なお、抵抗素子 24 は、本発明の「第 1 抵抗素子」の一例である。また、TMR 素子 24a および 24c は、本発明の「第 2 抵抗素子」の一例であり、TMR 素子 24b および 24d は、本発明の「第 3 抵抗素子」の一例である。

【0079】上記以外の第 2 実施形態の構成、効果、書き込み動作および読み出し動作は、第 1 実施形態と同様である。

【0080】(第 3 実施形態) 図 6 は、本発明の第 3 実施形態による MRAM のビット線および参照ビット線の構成を示した回路図である。図 6 に示すように、この第 3 実施形態では、上記第 2 実施形態と異なり、参照ビット線 BL_r に接続される抵抗素子 34 を、磁化方向が平行な 1 つの TMR 素子 34a と、磁化方向が反平行な 1 つの TMR 素子 34b とによって形成している。そして、TMR 素子 34a と TMR 素子 34b とは直列接続されている。

【0081】ここで、この第 3 実施形態では、TMR 素子 34a および 34b の面積を、メモリセルを構成する

10

20

30

40

50

TMR素子4の面積の2倍になるように構成している。ことにより、抵抗素子34の抵抗値を、第2実施形態と同様、磁化方向が平行な場合のTMR素子4の抵抗値 R_0 と磁化方向が反平行な場合のTMR素子4の抵抗値 R_1 との中間(R_0 と R_1 との和の $1/2$)に設定することができる。

【0082】なお、抵抗素子34は、本発明の「第1抵抗素子」の一例である。また、TMR素子34aは、本発明の「第2抵抗素子」の一例であり、TMR素子34bは、本発明の「第3抵抗素子」の一例である。

【0083】上記以外の第3実施形態の構成、効果、書き込み動作および読み出し動作は、第1実施形態と同様である。

【0084】(第4実施形態)図7は、本発明の第4実施形態によるMRAMのビット線および参照ビット線の構成を示した回路図である。図7に示すように、この第4実施形態では、上記第2および第3実施形態と異なり、参照ビット線 BL_r に接続される抵抗素子44aを、磁化方向が平行な1つのTMR素子によって形成している。なお、抵抗素子44aは、本発明の「第1抵抗素子」の一例である。

【0085】すなわち、この第4実施形態では、参照ビット線 BL_r に接続される抵抗素子44aの抵抗値 R_r を、メモリセルを構成する磁化方向が平行な1つのTMR素子4と同じ抵抗値に設定している。このように設定すると、抵抗素子44aの抵抗値は、選択されたビット線 BL_2 に接続される選択セルのTMR素子4の抵抗値と同じになる。この場合、たとえば、ビット線 BL_2 と参照ビット線 BL_r との負荷容量を異なるようにすれば、抵抗素子44aの抵抗値がTMR素子4の抵抗値と同じ場合にも、ビット線 BL_2 と参照ビット線 BL_r との間に電位差が発生するので、センスアンプ53により容易にデータの判別を行うことができる。

【0086】また、ビット線 BL_2 と参照ビット線 BL_r との負荷容量を異ならせることなく、センスアンプ53を構成するトランジスタのゲート幅を異ならせることによっても、容易にデータの判別を行うことができる。

【0087】なお、磁化方向が反平行なTMR素子4を含む他のメモリセルを選択する場合には、抵抗素子44aの抵抗値は、選択されたメモリセルのTMR素子4の抵抗値よりも小さくなるので、容易にデータの判別を行うことができる。

【0088】上記以外の第4実施形態の構成、効果、書き込み動作および読み出し動作は、第1実施形態と同様である。

【0089】(第5実施形態)図8は、本発明の第5実施形態によるMRAMのビット線および参照ビット線の構成を示した回路図である。図8に示すように、この第5実施形態では、上記第4実施形態と異なり、参照ビット線 BL_r に接続される抵抗素子44bを、磁化方向が

反平行な1つのTMR素子によって形成している。なお、抵抗素子44bは、本発明の「第1抵抗素子」の一例である。

【0090】すなわち、この第5実施形態では、抵抗素子44bの抵抗値 R_r を、磁化方向が反平行な1つのTMR素子4と同じ抵抗値に設定している。このように設定すると、抵抗素子44bの抵抗値 R_r は、選択されたビット線 BL_2 に接続される選択セルのTMR素子4の抵抗値よりも大きくなる。この場合には、センスアンプ53により、容易にデータの判別を行うことができる。

【0091】また、磁化方向が反平行なTMR素子4を含む他のメモリセルを選択する場合には、抵抗素子44bの抵抗値 R_r は、その選択されたメモリセルのTMR素子4の抵抗値と同じになる。この場合にも、上記第4実施形態と同様、たとえば、ビット線 BL_2 と参照ビット線 BL_r との負荷容量を異なるようにすれば、抵抗素子44bの抵抗値 R_r がTMR素子4の抵抗値と同じ場合にも、ビット線 BL_2 と参照ビット線 BL_r との電位が降下する速度が異なるので、ビット線 BL_2 と参照ビット線 BL_r との間に電位差が発生する。これにより、センスアンプ53を用いて容易にデータの判別を行うことができる。

【0092】また、ビット線 BL_2 と参照ビット線 BL_r との負荷容量を異ならせることなく、センスアンプ53を構成するトランジスタのゲート幅を異ならせることによっても、容易にデータの判別を行うことができる。

【0093】上記以外の第5実施形態の構成、効果、書き込み動作および読み出し動作は、第1実施形態と同様である。

【0094】なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0095】たとえば、上記実施形態では、メモリセルを構成する記憶素子として、TMR素子を用いたが、本発明はこれに限らず、強磁性トンネル効果を示す記憶素子であれば、TMR素子以外の記憶素子も用いることが可能である。また、強磁性トンネル効果を示す記憶素子以外の磁気抵抗効果を示す記憶素子を用いても、上記実施形態と同様の効果を得ることができる。

【0096】また、上記実施形態では、センスアンプ53を活性化させる信号 Φ_p および Φ_n をコンパレータ29の出力に基づいて活性化させるようにしたが、本発明はこれに限らず、信号 Φ_p は、常に活性化させた状態にしておき、信号 Φ_n のみでセンスアンプ53を活性化するようにしてもよい。

【0097】

【発明の効果】以上のように、本発明によれば、強磁性トンネル効果を示す1つの記憶素子と1つのトランジスタとによりメモリセルを構成するとともに、1つの記憶素子に接続されるビット線および参照ビット線の電位差を増幅器により検出することによって、微少な電流値を読み出す従来の場合のように、複雑な構成のセンスアンプを用いる必要がないので、高速な読み出しが可能となる。

【0098】また、強磁性トンネル効果を示す1つの記憶素子と、1つのトランジスタとにより、メモリセルを構成することによって、上記の効果に加えて、さらに、2つの記憶素子と2つのトランジスタとからメモリセルを構成する場合に比べて、メモリセルの面積を小さくすることができるという効果も得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態によるMRAMの全体構成を示したブロック図である。

【図2】図1に示した第1実施形態のMRAMのビット線および参照ビット線の構成を示した回路図である。

【図3】図1に示した第1実施形態のMRAMの読み出し動作を説明するための動作波形図である。

【図4】本発明の第2実施形態によるMRAMのビット線および参照ビット線の構成を示した回路図である。

【図5】図4に示した第2実施形態によるMRAMの参照ビット線に接続される抵抗素子の抵抗値を説明するための概略図である。

【図6】本発明の第3実施形態によるMRAMのビット線および参照ビット線の構成を示した回路図である。

【図7】本発明の第4実施形態によるMRAMのビット線および参照ビット線の構成を示した回路図である。

【図8】本発明の第5実施形態によるMRAMのビット線および参照ビット線の構成を示した回路図である。

【図9】従来のMRAMの記憶素子の構造を説明するための概略図である。

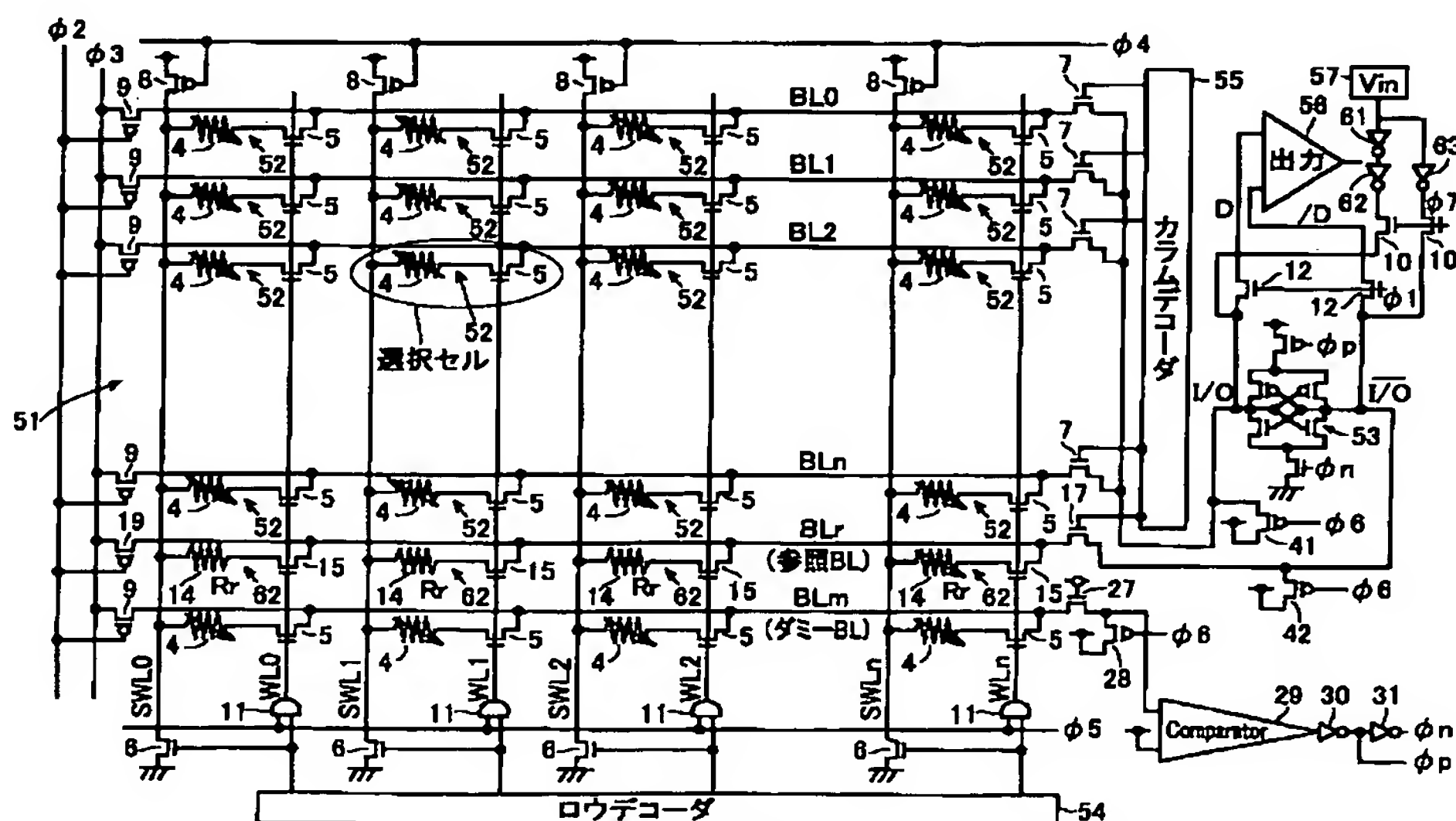
【図10】従来のMRAMの記憶素子の構造を説明するための概略図である。

【図11】従来のMRAMの全体構成を示したブロック図である。

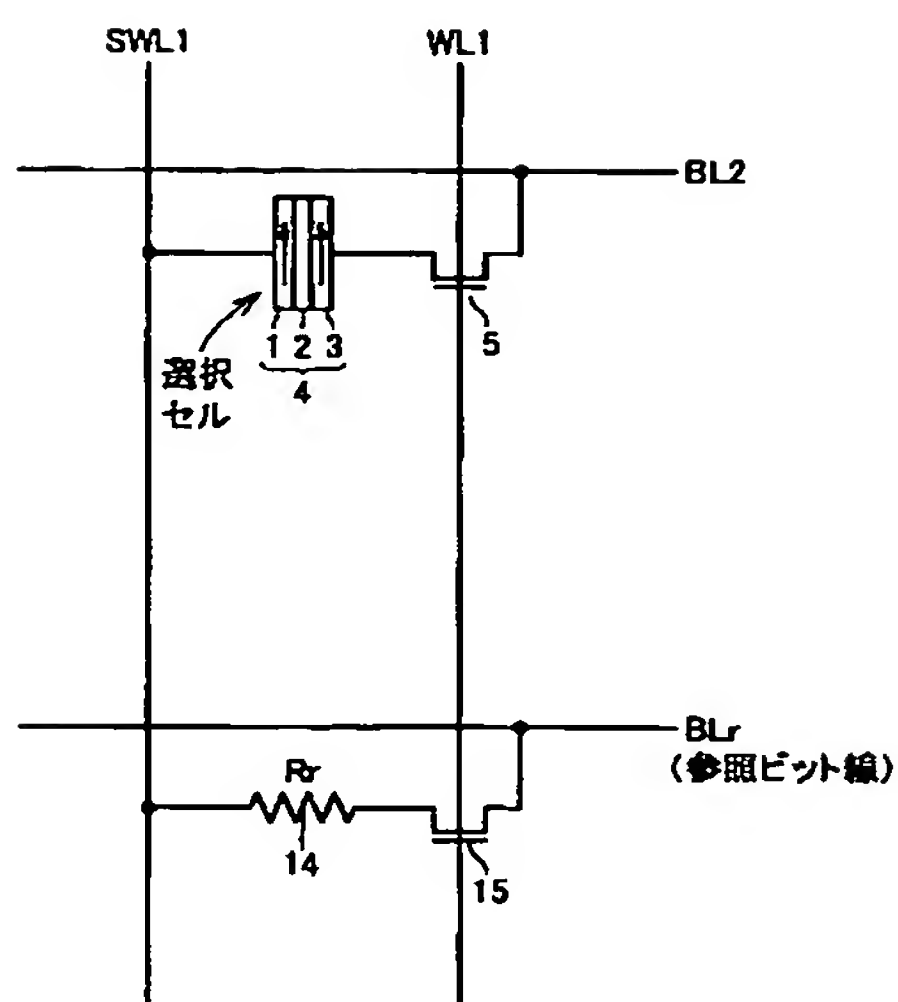
【符号の説明】

- 1 強磁性層（第2磁性層）
- 2 絶縁障壁層
- 3 強磁性層（第1磁性層）
- 4 TMR素子（記憶素子）
- 5 NMOSトランジスタ（トランジスタ）
- 6、7、12 NMOSトランジスタ
- 8、9、10 PMOSトランジスタ
- 14、24、34、44a、44b 抵抗素子（第1抵抗素子）
- 24a、24c、34a TMR素子（第2抵抗素子）
- 24b、24d、34b TMR素子（第3抵抗素子）
- 51 メモリセルアレイ
- 52 メモリセル
- 53 センスアンプ（増幅器）
- 54 ロウデコーダ
- 55 カラムデコーダ

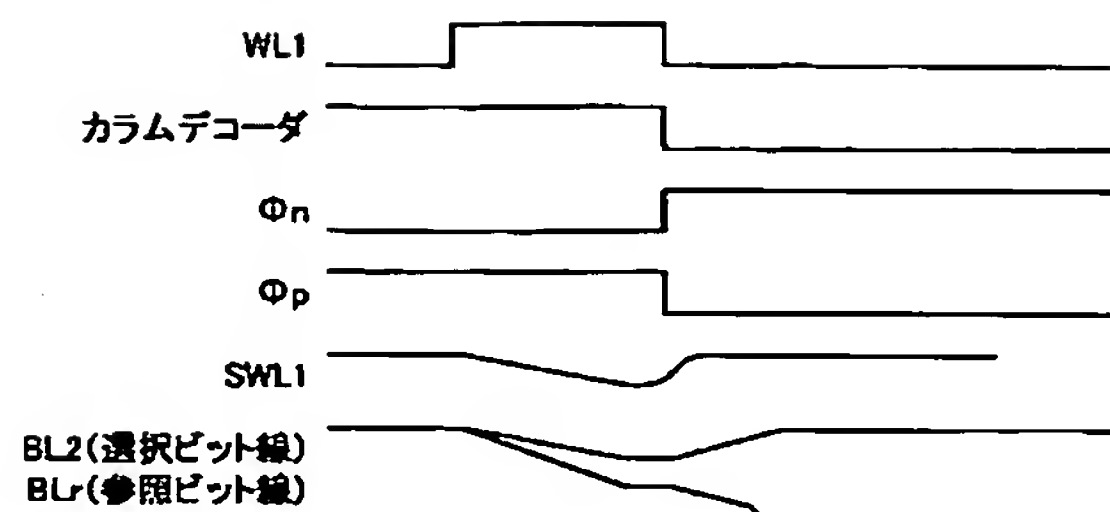
【図1】



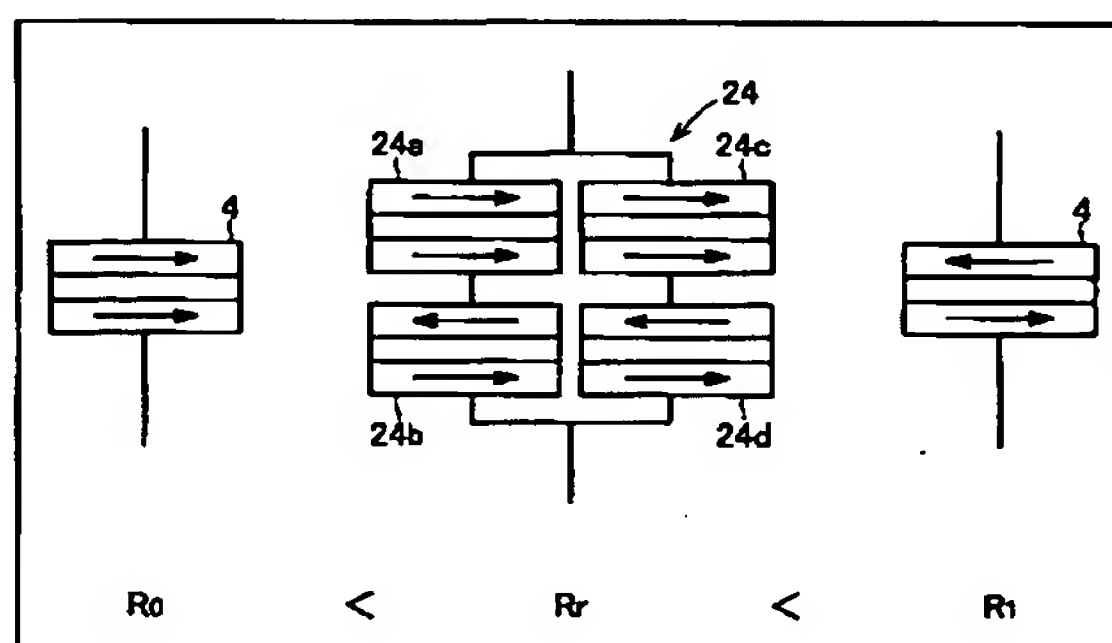
【図 2】



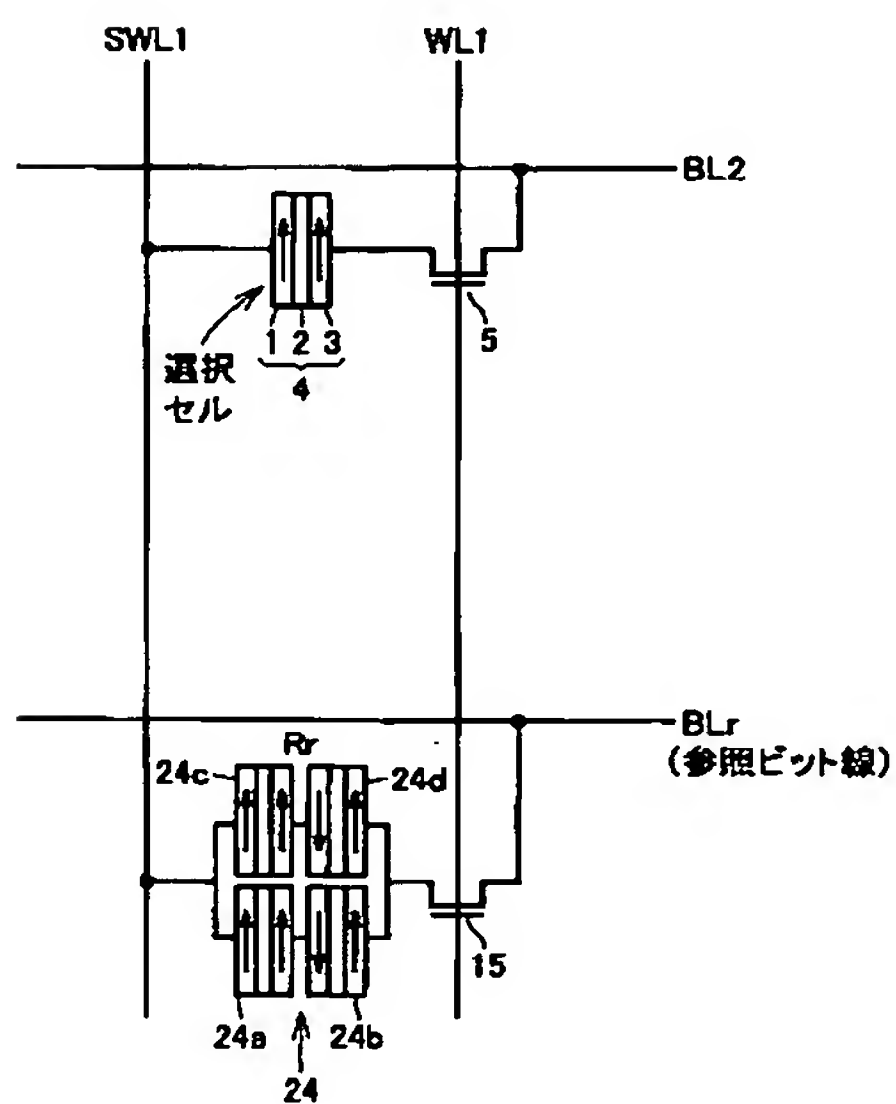
【図 3】



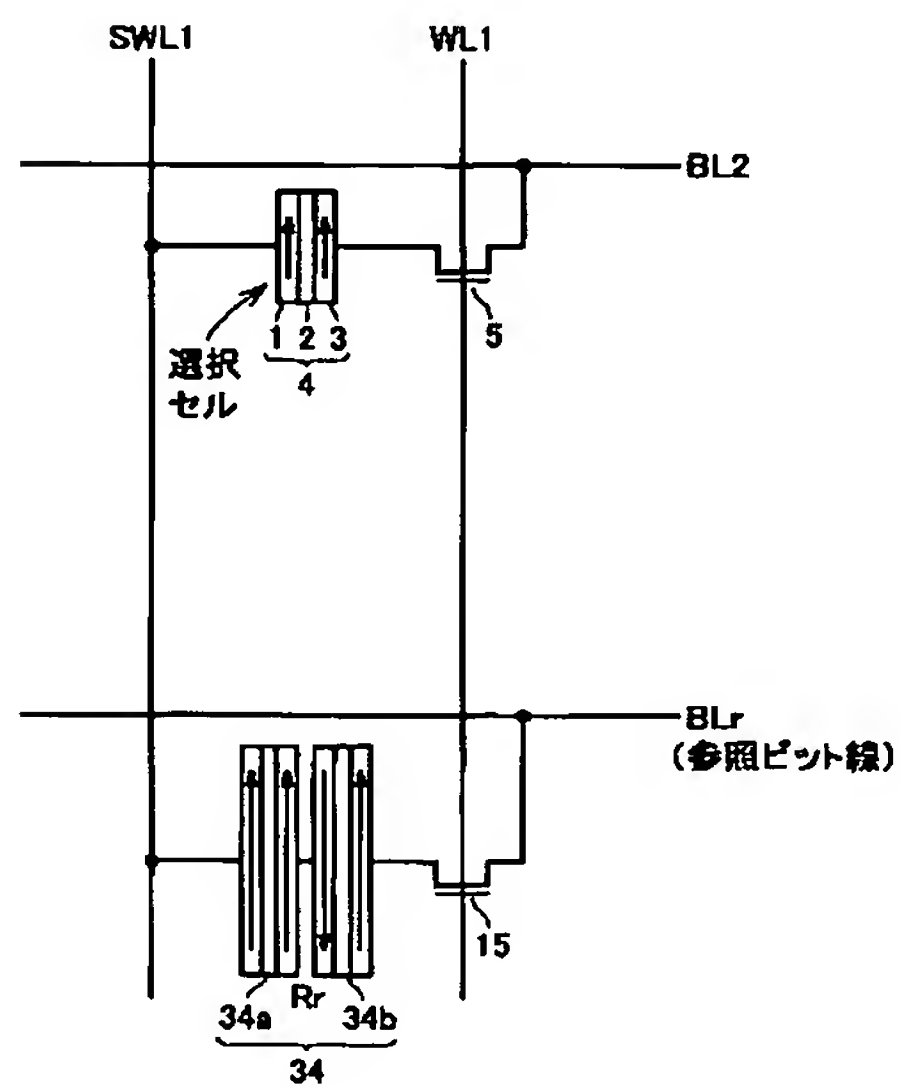
【図 5】



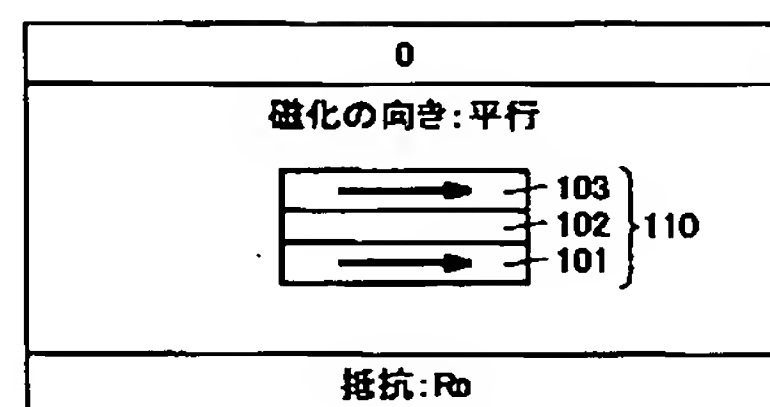
【図 4】



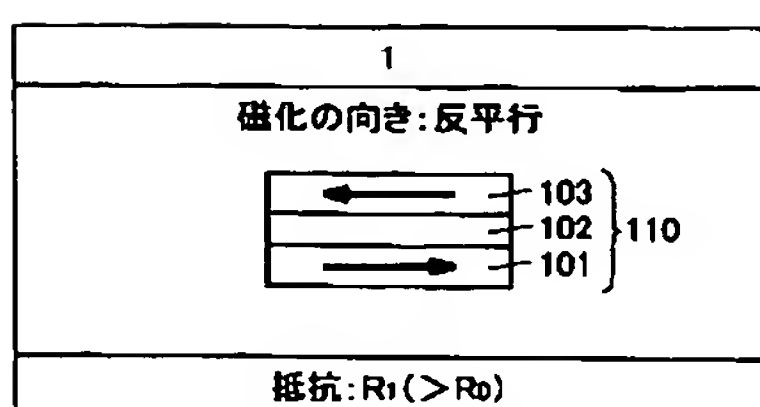
【図 6】



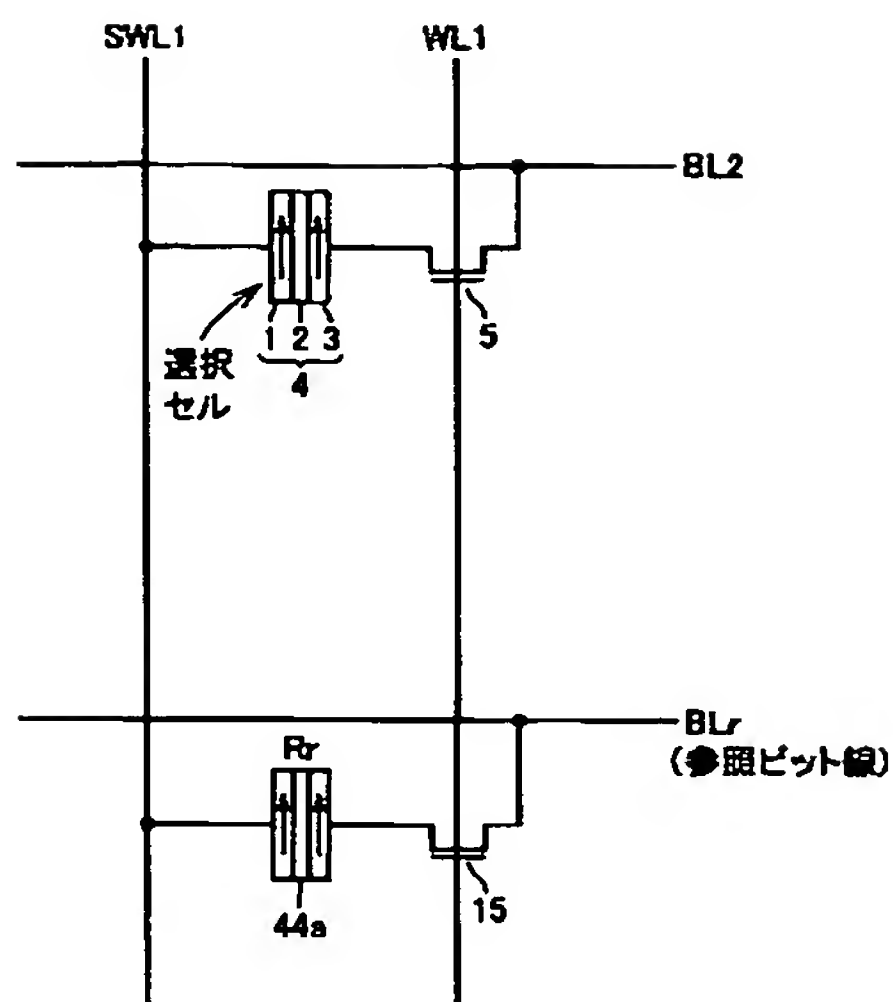
【図 9】



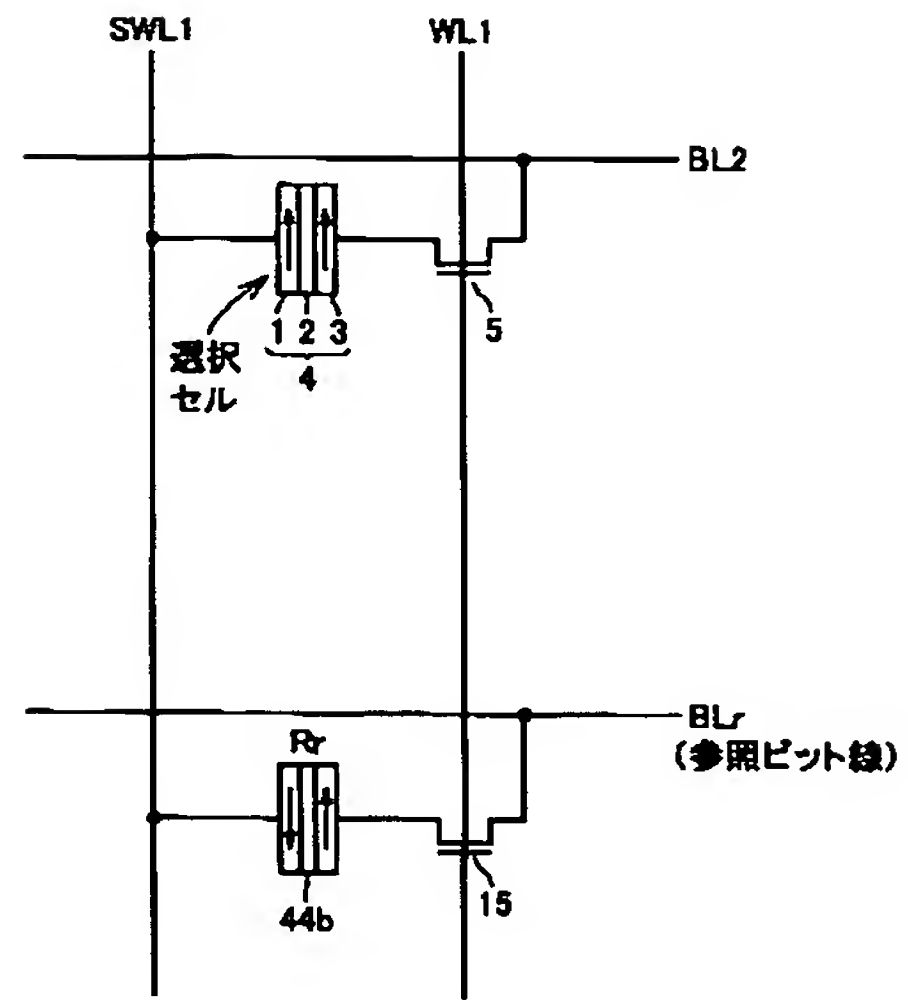
【図 10】



【図 7】



【図 8】



【図 11】

